

# METHOD OF ERASING MEMORY, METHOD OF PROGRAMMING MEMOR AND METHOD OF ERASING AND PROGRAMMING MEMORY

**Publication number:** JP2010596

**Publication date:** 1990-01-16

**Inventor:** JIERII EI KURAIFUERUSU; ARAN BEEKAA; JIYOOJI HEKUSUTORA; BUAAJIRU NAIRUSU KINETSUOTO; SUTEIBUN UERUZU; MAAKU UINSUTON

**Applicant:** INTEL CORP

**Classification:**

- **international:** **G11C16/10; G11C16/16; G11C16/34; G11C16/06;**  
(IPC1-7): G11C16/06; G11C17/00

- **european:** G11C16/10; G11C16/16; G11C16/34V

**Application number:** JP19890036394 19890217

**Priority number(s):** US19880157361 19880217

**Also published as:**

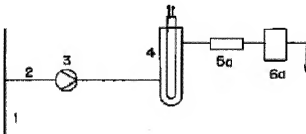
US 5053990 (A1)  
G B2215155 (A)  
F R2627315 (A1)  
F R2627089 (A1)  
DE 3900798 (A1)

Report a data error here

## Abstract of JP2010596

**PURPOSE:** To program a flash memory device via a data port and to enable an erasing command port architecture by incorporating a circuit means into the same semiconductor chip as a memory executing erasing, programming and erasing/programing test in a circuit.

**CONSTITUTION:** A program command is inputted into a condition resistor 35 and command resistor 37 in a first cycle of writing enable signals WE. An address latch 13 and data latch 22 are loaded in a second WE cycle. The first transition end of the second WE cycle is started to program by generating control signals to a program voltage generator 25 with a condition decoder 36. Next, a high voltage VPP is applied to a gate and drain of an addressed cell of a memory array 11 with the program voltage generator 25. Programming is finished by writing a program test command into the condition resistor 35 and the command resistor 37 in a third WE cycle, and an internal limit voltage is set in order to test a newly programed bit.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平2-10596

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月16日

G 11 C 16/06

7341-5B

G 11 C 17/00

3 0 9 C

7341-5B

E

審査請求 未請求 請求項の数 4 (全16頁)

- ⑮ 発明の名称 メモリの消去法、メモリのプログラミング法およびメモリの消去・プログラミング法
- ⑯ 特 願 平1-36394
- ⑰ 出 願 平 7 (1989) 2月17日
- 優先権主張 ⑱ 1988年2月17日 ⑲ 米国(US) ⑳ 157,361
- ㉑ 発 明 者 ジェリイ・エイ・クラ アメリカ合衆国 95621 カリフォルニア州・シトラス・イフエルス
- ㉒ 発 明 者 アラン・ペーカー アメリカ合衆国 95628 カリフォルニア州・フェアオークス・ミネリタ アヴェニュー・4619
- ㉓ 出 願 人 インテル・コーポレーション アメリカ合衆国 95051 カリフォルニア州・サンタクララ・パワース アヴェニュー・3065
- ㉔ 代 理 人 弁理士 山川 政樹 外2名
- 最終頁に続く

明細書の添付(内容に変更なし)

明 細 書

1. 発明の名称

メモリの消去法、メモリのプログラミング法およびメモリの消去・プログラミング法

2. 特許請求の範囲

(1) シリコン基板上に形成され、それぞれが1つのフロッティングゲートを有する複数のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電氣的に消去可能プログラム可能読取り専用記憶装置において、

(a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(b) 第2の書き込みサイクルの間に消去指令を前記命令レジスタに書き込む過程と；

(c) 消去サイクルの間に前記メモリセルを消去する過程と；

(d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プロ

グラム可能読取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(e) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読取り、その際に前記データが消去されていないければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(a)から(e)を繰返す過程と；

(f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(d)及び(e)を繰返す過程と；から成る前記電氣的に消去可能プログラム可能読取り専用記憶装置を消去する方法。

(2) シリコン基板上に形成され、それぞれが1つのフロッティングゲートを有する複数のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電氣的に消去可能プログラム可能読取り専用記憶装置において、

(1a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタに書き込む過程と;

(1b) データが4Bに等しい第2の書き込みサイクルの間にアドレス及びデータを前記消去可能プログラム可能読取り専用記憶装置にランチャする過程と;

(1c) プログラミングサイクルの間に前記消去可能プログラム可能読取り専用記憶装置をプログラムする過程と;

(1d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と;

(1e) 過程(1c)でデータがプログラムされた記憶場所の内容を検査するために、その記憶場所から内容を読取り、その際に前記記憶場所がプログラムされていなければ、前記記憶場所がプログラムされるまで過程(1a)から(1c)を繰返す過程と;

(1f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで、新たなアドレスごとと過程(1a)から(1e)を繰返す過程と;

(1g) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読取り、その際に前記データが消去されていなければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(1a)から(1e)を繰返す過程と;

(1h) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(1d)及び(1e)を繰返す過程と;

(2a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタに書き込む過程と;

(2b) 第2の書き込みサイクルの間に前記消去可能プログラム可能読取り専用記憶装置にアドレス及びデータをランチャする過程と;

(2c) プログラミングサイクルの間に前記消去可能プログラム可能読取り専用記憶装置をプログラムする過程と;

(2d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と;

(2e) 過程(2c)でデータがプログラムされた

から成る前記電氣的に消去可能プログラム可能読取り専用記憶装置をプログラムする方法。

(3) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電氣的に消去可能プログラム可能読取り専用記憶装置において、

(1a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と;

(1b) 第2の書き込みサイクルの間に消去指令を前記命令レジスタに書き込む過程と;

(1c) 消去サイクルの間に前記メモリセルを消去する過程と;

(1d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と;

記憶場所の内容を検査するために、その記憶場所から内容を読取り、その際に前記記憶場所がプログラムされていなければ、前記記憶場所がプログラムされるまで過程(2a)から(2c)を繰返す過程と;

(2f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで新たなアドレスごとと過程(2a)から(2c)を繰返す過程と;

から成る前記消去可能プログラム可能読取り専用記憶装置を消去し且つプログラムする方法。

(4) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電氣的に消去可能プログラム可能読取り専用記憶装置において、

(1a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と;

(1b) 第2の書き込みサイクルの間に消去指令を

前記命令レジスタに書き込む過程と；

(1c) 消去サイクルの間に前記メモリセルを消去する過程と；

(1d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(1e) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読取り、その際に前記データが消去されていないければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(1a)から(1e)を繰返す過程と；

(1f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(1d)及び(1e)を繰返す過程と；

(2a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(2b) 第2の書き込みサイクルの間に消去指令を

能プログラム可能読取り専用記憶装置にアドレス及びデータをラッチする過程と；

(3e) プログラミングサイクルの間に前記消去可能プログラム可能読取り専用記憶装置をプログラムする過程と；

(3d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と；

(3e) 過程(3e)でデータがプログラムされた記憶場所の内容を検査するために、その記憶場所から内容を読取り、その際に前記記憶場所がプログラムされていないければ、前記記憶場所がプログラムされるまで過程(3a)から(3e)を繰返す過程と；

(3f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで、新たなアドレスごとに過程(3e)から(3e)を繰返す過程と；

から成る前記電氣的に消去可能プログラム可能読取り専用記憶装置を事前条件付けし、消去し且つプログラムする方法。

3. 発明の詳細な説明

前記命令レジスタに書き込む過程と；

(2e) 消去サイクルの間に前記メモリセルを消去する過程と；

(2d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(2e) 前記記憶場所が消去されているか否かを判定するために、記憶装置の前記記憶場所の内容を読取り、その際に前記データが消去されていないければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(2a)から(2e)を繰返す過程と；

(2f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(2d)及び(2e)を繰返す過程と；

(3a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタに書き込む過程と；

(3b) 第2の書き込みサイクルの間に前記消去可

(産業上の利用分野)

本発明は、金属酸化半導体(MOS)より成る電氣的にプログラム可能消去可能読取り専用記憶装置(EPROM)の分野及びフローティングゲートを有するプログラム可能読取り専用記憶装置(EPROM)に關する。

(従来の技術及び発明が解決しようとする課題)

最も一般的に使用されている EPROM セルは絶縁体により完全に包囲された電氣的フローティングゲートを有し、このフローティングゲートは、通常、シリコン基板に形成されるソース領域とドレイン領域との間に配設される。初期の EPROM セルでは、米国特許第 3,660,819 号に記載されるデバイスのように、電荷は電子をただれ注入により絶縁体に注入されていた。後期の EPROM は、米国特許第 4,142,926 号、第 4,114,255 号及び第 4,412,310 号に記載されるように、フローティングゲートの帯電にチャネル注入を利用した。このような EPROM の消去は、アレキに紫外線を照射することにより行なわれる。

消去可能EPROM(EEPROM)も市販されており、電荷のフローティングゲートへの印加、フローティングゲートからの除去を、高電圧に形成された薄い酸化物領域に電荷を通過させることにより行なう構成(米国特許第4,203,158号を参照)もあり、上部電極を介して電荷を除去する構成(米国特許第4,099,198号を参照)もある。

このようなEEPROMセルでは、EPROMセルほど高電圧の面積が小さくない。セルをより高密度にすることによりメモリアレイのサイズを小さくするための様々な方法が実現されている。その方法の1つは米国特許第4,432,075号に記載されている。また、米国特許第4,266,283号には、EEPROMをアレイとして配列し、メモリアレイにおいて実行すべき様々な機能を選択することが記載されている。

EPROMは、消去とプログラミングの2つの目的のために、プリント回路板から取除かれることが最も多い。セルのプログラミングには特別なプログラミング装置が使用される。この装置は、さ

らに、セルが適正に消去され且つプログラミングされたことを検査する。プログラミング中、電子がフローティングゲートへ移動されるので、セルの導電性が低下する。このEPROMデバイスの動作も良く知られている。

EPROMは、通常、メモリからデータを読取るために使用されるのと同じ回路(たとえば、プリント回路板)に取付けられている間にプログラミングされ、消去されるという点で、EPROMでは異なる。すなわち、特殊なプログラミング装置は使用されない。場合によっては、プログラミングが適正に実行されたことを検査するために「オンチップ」回路を使用する。米国特許第4,460,982号には、プログラミングと消去の双方を実行する手段を構成するインテリジェントEEPROMが記載されている。

さらに最近になつて、消去可能EPROM/EEPROMの新種が現われたが、このデバイスは「フラッシュ」EPROM又はEEPROMと呼ばれることもある。このフラッシュメモリにおいては、アレイ全体が

同時に電氣的に消去される。セル自体はセルごと単一のデバイスのみを使用する。このようなセルは前記の同時係属出願、出願番号892,446に記載されている。これに関連する別の構成は、IEEE Journal of Solid - State Circuits, Vol. SC-22, No. 4 (1987年4月)に掲載されたマスコカ他による論文「A 256-Kbit Flash EPROM Using Triple-Polysilicon Technology」にも見られる。本発明はこれらのセルの使用を目指すものである。

電氣的に消去するフラッシュメモリデバイスは別の問題、特に過剰消去の問題を生じさせる。余りに多くの電荷が除去されてしまうので、デバイスは「空乏に似た」状態となる。消去後、フローティングゲートは消去されたが、さほど正に帯電されていないことを検査するために、セルの試験が必要になるであろう。

フラッシュメモリで回路内消去を利用すると、別の問題が生じる。すなわち、フラッシュメモリの消去とプログラミングを実行するために、新た

な信号/指令線を追加する必要がある。通常、追加される線路にはメモリチップ上で対応するピンが追加される必要があるが、新たに回路、回路板、システム等を設計する場合に問題とはならない。しかしながら、既存のEPROM/EEPROMの代わりにフラッシュメモリを使用するときは、ピン同志の互換性が不可欠な条件となる。消去及びプログラミングのための補助制御線が必要であるため、消去及び再プログラミングを可能にするフラッシュメモリデバイスの内部で何らかのアーキテクチャの変更を行わない限り、ピン同志の互換性を直接獲得することはできない。

(問題点を解決するための手段)

本発明は、データポートを介してフラッシュメモリデバイスをプログラミングし且つ消去する指令ポートアーキテクチャを提供する。回路内で消去、プログラミング及び消去/プログラム検査を実行するために、メモリと同一の半導体チップに回路手段が組み込まれる。指令ポートコントローラは、関連するプロセッサに結合されるデータ線か

ら命令を受入れるように結合される。指令ポートコントローラに書込まれた命令は、メモリの消去及びプログラミングを実行するため、並びに消去動作及びプログラム動作が実行された後に内容を検査するための制御信号を発生するのに必要な指令を供給する。

指令ポートは指令ポートコントローラと、プログラミングデータを受入れるためにデータバスに結合されるデータレジスタと、プログラミング中及び検査中にアドレス情報を受入れるためにアドレスバスに結合されるアドレスレジスタとから構成される。指令ポートコントローラは、マイクロプロセッサから指令命令を受取るためにデータバスに結合される指令レジスタ及び状態レジスタと、必要なタイミングを発生するクロック発生器と、指令レジスタ及び状態レジスタに入力された命令を復号する状態デコーダとから構成される。

さらに、指令ポートコントローラは、メモリの消去及びプログラミングを実行するための消去アルゴリズム及びプログラミングアルゴリズムを提

供する。消去アルゴリズムはフラッシュメモリセルを消去するために必要な電圧を供給し、次に、メモリが消去されたことを検査確認する。消去サイクルは監視され、消去が完了するまで増分されてゆく所定のパルス幅を有する消去パルスごとに繰返される。しかしながら、最大パルスカウントに達しても、メモリの完全な消去が行なわれていない場合には誤りが検出される。

同様に、メモリのプログラミング中、アルゴリズムはメモリの各記憶場所のプログラミングを実行し、プログラミング後はその内容を検査確認する。プログラミングサイクルは監視され、プログラミングが完了するまで所定のパルス幅を有するプログラミングパルスごとに繰返される。しかしながら、所定の最大パルスカウントの後もプログラミングを完了することができなければ、プログラミングの誤りが記される。

#### 〔実施例〕

以下、添付の図面を参照して本発明を詳細に説明する。

プログラムのマイクロプロセッサ制御、消去、プログラム検査、消去検査確認及び脱取りのモードをフラッシュメモリを使用して実行する指令ポートアーキテクチャについて説明する。以下の説明においては、本発明を完全に理解するために、特定の回路構成、構成要素等の特定の詳細な事項が数多く記載されるが、それらの特定の詳細を含まずに本発明を実施してよいことは当業者には自明であろう。その他の点については、本発明を不必要に不明瞭にしないため、周知のプロセス、アーキテクチャ及び回路を詳細には説明しなかつた。

本発明の好ましい実施例は、フラッシュEPROMとも呼ばれる特定の二価単トランジスタ形の電氣的に消去可能プログラム可能フラッシュメモリと関連して使用される。これは、マイクロプロセッサ制御の下で再プログラミング能力を得るために最適化された高密度不揮発性フラッシュメモリである。この特定のフラッシュEPROMは、一辺192milの正方形ダイ上に製造される6 $\mu$ m $\times$ 6 $\mu$ mのセルを有する32,768 $\times$ 8ビットを提供する最

新形の1.5 $\mu$ mの相補形金属酸化物半導体(CMOS)技術を利用している。以下では特定の256KビットフラッシュEPROMについて説明するが、その他のメモリサイズ及び別のメモリ技術を本発明に適用できることを了解すべきである。

本発明の不揮発性フラッシュEPROMはEPROM技術に基づくものである。メモリセルはEPROMと同等のプログラミングメカニズムを使用するが、電氣的に消去することができる。フラッシュメモリの電氣的消去は、単トランジスタフローティングポリシリコンゲートセルの下方にトンネル効果用の高品質の酸化物を使用することにより可能となる。フラッシュセルは消去時とプログラム時に12ボルトの電力供給を必要とする。消去メカニズムは、フローティングゲートからセルのソース接合部へ電子を移動させるためにフアウラー・ノルトハイムトンネリングを利用する。プログラミングは、熱い電子をセルのドレイン接合部からフローティングゲートに注入する簡単なEPROM方式によつて実行される。本発明で使用するフ

ラッシュ EPROM セルは本願の「従来の技術」の項で引用した先行技術の参考文献の中に記載されている。

特殊な回路を使用しなければ、フラッシュ EPROM と従来のメモリデバイスとの間にピンの直接の互換性を成立させることは不可能である。フラッシュメモリと従来の EPROM デバイスとの間のピンの互換性を維持するために、本発明は、回路内消去及び回路内プログラミングを可能にする特殊な指令ポートアーキテクチャを提供する。本発明の指令ポートアーキテクチャはプログラムのマイクロプロセッサ制御、消去、プログラム/消去検査確認及び読取りのモードを実行させることができると共に、従来の EPROM/EEPROM とのピンの互換性を維持する。この特殊なアーキテクチャは、フラッシュメモリが組み込まれている半導体チップに含まれる回路の中で実現される。

第1図に開示して説明する。第1図には、本発明のフラッシュ EPROM 半導体デバイス10が示されている。アドレスバス12はアドレスビット

A0~A14 をアドレスラッチ13に結合する。アドレスバス12に1つのアドレスを供給するためには15のビットが使用されるが、アドレスビットの実際の数は任意である。アドレスラッチ13はエデコード14及びYデコード15に結合される。エデコード14はメモリアレイ11に結合され、Yデコード15はYゲーティング回路16に結合される。好ましい実施例のメモリアレイ11は256 Kビットのセルアレイ構造であり、エデコード14はメモリアレイ11のX-エマトリクス(X(行)アドレス)のビットをアセスするためには復号を実行し、Yデコード15はX-エマトリクスのY(列)アドレスのために復号を実行する。メモリアレイ11の構成及びエデコード14と、Yデコード15と、列ゲーティング回路16とを使用することによるそのようなアレイのアセスは従来の EPROM 技術においてよく知られている。

データは8ビット双方向データバス20により EPROM デバイス10に結合されるが、この場合

も、データバス20のビット数は回路構成に応じて任意に選択される。データバス20は入出力(I/O)バッファ21に結合され、メモリアレイ11に入力されるべきデータはバス23aからデータラッチ22を介して結合される。逆に、メモリアレイ11からデータバス20へ出力されるべきデータはバス23bからセンス回路101を介してI/O バッファ21に結合された後、データバス20に出力される。入力データはバス23aを介して指令ポートコントローラ30にも結合される。指令ポートコントローラ30は外部信号WE及びCEをさらに受取り、アドレスラッチ13と、データラッチ22と、消去電圧発生器24と、プログラム電圧発生器25と、消去/プログラム検査発生器26とに制御信号を供給する。外部信号CE及びOEはチップ/出力イネーブル論理回路27に結合される。これらのデータ信号、アドレス信号及び制御信号は、半導体メモリと組合せて通常使用されるようなマイクロプロセッサから発生される。

供給電圧VCC及びその戻り電圧VSSはEPROM デバイス10に結合され、また、指令ポートコントローラ30が読取り、消去又はプログラムの機能を選択するためにイネーブルされたか否かを決定する電圧値を有するプログラミング電圧VPPもデバイス10に結合される。VPPは指令ポートコントローラ30と、消去電圧発生器24と、プログラム電圧発生器25と、消去/プログラム検査発生器26とに結合される。これらの電圧の発生は本発明の実施とは無関係である。

チップ/出力イネーブル論理回路27はI/O バッファ21に結合される。この回路27はI/O バッファ21に制御信号を供給する。消去電圧発生器24は、メモリアレイ11を同時に消去するために必要な電圧を供給するためにメモリアレイ11に結合される。プログラム電圧発生器25の出力端子は、消去/プログラム検査機能(確認)が選択された場合にメモリアレイ11に検査電圧を供給するために消去/プログラム検査発生器26のプログラム機能出力端子がXデコード14に結

合されたときに、メモリアレイ11にプログラム電圧を供給するようにXデコード14及びデコード15に結合される。

メモリアレイ11の消去とプログラミングを回路内で実行するために、好ましい実施例のEPROMデバイス10は、デバイス10に結合されたプロセッサからデータバス20を介してそのような指令を受取るように構成される。EPROMデバイス10を選択すべき場合は常にチップイネーブル信号 $\overline{CE}$ はローになり、デバイス10はデータバス20を介してモード命令を受取るように準備される。命令はI/Oバッファ21を介して指令ポートコントローラ30に送る。指令ポートコントローラ30は、プログラム、プログラム検査、消去、消去検査(確認)、読取り及びシグナチュア読取り(メモリアレイ11を適切な外部機器プロトコルに整合させるための特殊な読取り機能)の6つの命令を含む2<sup>8</sup>種類(=8ビット数である)の命令の1つをデータバス20から受取る。どの命令も受取られるかに応じて、指令ポート

コントローラ30は適切な対応動作を実行させるための制御信号を発生する。特定の命令が指令ポートコントローラ30に入力された後、書き込みイネーブル信号 $\overline{WE}$ 、チップイネーブル信号 $\overline{CE}$ 及び出力イネーブル信号 $\overline{OE}$ は、EPROMデバイス10の様々なユニットを適正に動作させるために、指令ポートコントローラ30及びチップ/出力イネーブル論理回路27からの様々な信号の発生を制御する。

好ましい実施例においては、指令ポートコントローラ30は、VPPが区間1.2ボルトの適切な電圧値にあるときに動作される。これに対し、指令ポートコントローラ30を非動作状態とすることが望まれる場合には、VPPの値が1.2ボルトから約5ボルトに変化することによって指令ポートコントローラ30の動作は停止する。VPPが5ボルトに変化するたびに、指令ポートコントローラ30は非動作状態となるので、指令ポートコントローラ30に向かっているデータバス20のアレイ命令は無視される。VPPが5ボルトになり、指令ポ

ートコントローラ30が非動作状態になつたとき、EPROMデバイス10は常に読取りモードのみで機能する。この指令ポートコントローラ30の非動作方式は、EPROMデバイス10を12Vの電圧が存在しない従来のEPROM(又は読取り動作のみに利用されているEEPROM)に直接代わるものとして使用する場合に、好ましい実施例のデバイス10のチップに設けられた。このような従来のEPROMでは、VPPは通常5ボルトであるので、EPROMデバイス10を従来のEPROMに直接代わるものとして使用すると、デバイス10は読取りモードでのみ動作することになる。このコントローラ非動作方式は、さらに、VPPが5ボルトになつたときのメモリの消去又はプログラムという不測の事態を完全に防止する。

第2図に関して説明する。第2図は、好ましい実施例の指令ポートコントローラ30を概念的に示すブロック線図である。チップイネーブル信号 $\overline{CE}$ は制御論理31と、アドレスクロック発生器32とに結合される。書き込みイネーブル信号 $\overline{WE}$

は制御論理31に入力として結合される。制御論理31は、チップイネーブル信号 $\overline{CE}$ がEPROMデバイス10を動作させた場合のみ、書き込みイネーブル信号 $\overline{WE}$ をアドレスクロック発生器32、状態クロック発生器33及び指令/データクロック発生器34に結合させる。状態クロック発生器33の出力と、データバス23aのデータとは状態レジスタ35に結合され、状態レジスタ35の出力は状態デコード36と、指令クロック発生器34aとに結合される。指令クロック発生器34aの出力は指令レジスタ37に結合される。指令レジスタ37はデータバス23aからのデータも受取り、指令レジスタ37の出力は状態デコード36に結合される。アドレスクロック発生器32の出力は第1図のアドレスラッチ13にストロブを供給し、データクロック発生器34bは第1図のデータラッチ22にストロブを提供する。状態デコード36の出力は制御アドレスクロック発生器32と、状態レジスタ35とに展される。状態デコード36の別の出口は、第1図に示される消去電圧



発生器24、プログラム電圧発生器25及び消去／プログラム検査発生器26に供給される。状態レジスタ35は指令クロック発生器34aに同期信号を供給するが、指令レジスタ37はそのような同期機能を有していない。

機能は、信号 $\overline{WE}$ 及び $\overline{OE}$ により制御される書き込みサイクルにおいて、データバス23aを介して選択される。アドレスラッチ13の内容は $\overline{WE}$ の立下がり端で更新される。信号 $\overline{WE}$ の立下がり端は命令を状態レジスタ35と、指令レジスタ37又はデータラッチ22のいずれか一方にロードさせる。状態デコード38は新たな内部モードを復号して、対応する制御信号を供給することにより適切な動作を開始させる。状態デコード38から消去電圧発生器24、プログラム電圧発生器25及び消去／プログラム検査発生器26のそれぞれに至る制御信号線の信号は、第1図に示すように、これらの発生器にVPP電圧をXデコード14及びYデコード15又はメモリアレイ11に供給させる。VPPから取出された検査電圧は、プログラム

検査及び消去検査（確認）の間に、プログラムと消去の境界を確保するために、Xデコードを介して断線に印加される。

次に、EPROM デバイス10と関連する様々な信号のタイミングシーケンスを示す第3図、第4図及び第5図を参照して説明する。第3図は読取り機能を示し、この場合、出力イネーブル信号 $\overline{OE}$ がチップ／出力イネーブル論理回路27を動作させたときにメモリアレイ11がアドレスされ、メモリアレイ11からデータが読取られる。論理回路27は、その後、I/O パツファ21の出力機能を動作させる。

第4図は、消去動作のタイミングサイクルを示す。消去は、第1の書き込みサイクル40における指令レジスタ37及び状態レジスタ35への消去コードの書き込みと、第2の書き込みサイクル41における状態レジスタ35への消去確認コードの書き込みとから成る2回書き込みシーケンスにより実行される。消去確認コードは、信号 $\overline{WE}$ の第2の書き込みサイクル41の立下がり端で消去を開始させ

る。状態デコード38は消去電圧発生器24に対する指令を開始し、そこで、消去電圧発生器24はメモリアレイ11の全てのアドレスのソースに12ボルト(VPP)を要する高電圧スイフトをトリガすると共に、全ての断線を要地する。フロッタリー・ノットハイムトンネリングによつて、メモリアレイ11の全てのセルは同時に消去される。書き込みサイクル42において状態レジスタ35及び指令レジスタ37に消去検査コードが書き込まれると、消去は終了し、検査すべきバイトのアドレスがラッチされ、内部消去限界電圧がセツアップされる。ここで、マイクロプロセッサは、時点43で信号 $\overline{OE}$ がローになつたとき、標準読取りタイミングを使用したアクセスされたアドレスからメモリの出力をアクセスすることができる。その後、全てのアドレスについて検査手順が繰返される。

プログラミングは第5図に示す方式により実行される。書き込みイネーブル信号 $\overline{WE}$ の第1のサイクル45において状態レジスタ35及び指令レジ

スタ37にプログラム指令が入力される。第2の $\overline{WE}$  サイクル46はアドレスラッチ13及びデータラッチ22をロードする。第2の $\overline{WE}$  サイクル46の立下がり端は、状態デコード38にプログラム電圧発生器25に対し制御信号を発生させることにより、プログラミングを開始する。次に、プログラム電圧発生器25はメモリアレイ11のアドレスされたセルのゲート及びドレインに高電圧VPPを印加する。第3の $\overline{WE}$  サイクル47で状態レジスタ35及び指令レジスタ37にプログラム検査指令を送込むことにより、プログラミングは終了し、新たにプログラムされたバイトを検査するために内部限界電圧が設定される。この場合も、 $\overline{OE}$  が時点48でローになつたとき、アドレスされたバイトを標準マイクロプロセッサ読取りタイミングを使用してアクセスすることができる。

次に、第6図に関して説明する。第6図は、指令ポートコントローラ30により利用される消去アルゴリズムを示すフローチャートである。初期設定段階の間、VPPが印加され、全てのバイトは

特定の値、この場合は00H にプログラムされ（事前条件付け）、カウンタは所定の初期設定値にプリセットされる。次に、消去セフトアップ指令が書込まれ、続いて、消去指令が書込まれる（第4図のタイミング図を参照）。消去が実行される時間切れ期間中、消去検査指令が書込まれ、続いて別の所定の時間切れ期間（この場合6μsec）が始まる。

次に、メモリからデータが読取られ、データが消去されたか否かを判定するためにデータの検査が実行される。データが消去されていなければ、データを消去するためのパルス幅が所定の値だけ増分され、TEW カウンタに記憶され、最大限界値に達して検査される（CUMTEW 計算及びTEW 計算は第6図に示されている）。好ましい実施例においては、パルス幅は10秒の累積消去時間にわたり最大限界値に増分される。増分後、そのたびに、シーケンスは書込み、消去セフトアップ指令と、書込み、消去指令とを逐て再び繰返される。しかしながら、所定のパルスカウント（この実施

例では64の値が設定されている）の後データが消去されていなければ、そのメモリエルについては消去を実行できないことを意味する誤りが記される。データが読取られ、消去されたことがわかるたびに、アドレスが増分され、最終アドレスが検査されるまで消去検査シーケンスが繰返される。最終アドレスが検査された場合、読取り動作に対して指令レジスタ及び状態レジスタをリセットするために、それらのレジスタに読取り指令が書込まれ、消去サイクルは終了する。バイトが消去されたものとして検査されることがなければ、パルス幅TEW は増分され、消去シーケンスは繰返される。また、消去され、検査された最後のバイトから検査の循環を開始することによっても消去効率が達成される。

次に、プログラミングアルゴリズムのフローチャートを示す第7図に関して説明する。プログラミングサイクルは、VPP を印加し、パルスカウンタを初期設定することにより開始される。次に、プログラムセフトアップ指令が指令レジスタ及び

状態レジスタに書込まれ、続く第2の書込みサイクルで、アドレス及びデータをラッチする（第5図のタイミング図を参照）。プログラミングが実行される所定の時間切れ期間の後、プログラム検査指令が書込まれる。さらに所定の時間切れ期間（この実施例では64μsec）の後、プログラムされたデータを検査するためにデータはメモリから読取られる。書込まれたデータがメモリから読取られたデータに対応していなければ、プログラミング時間を延長するためにパルスカウントが増分され、書込みシーケンスと読取りシーケンスが繰返される。この実施例においては、100μsec のパルスを25の最大パルスカウントまで繰返すことにより、プログラミング時間は延長される。パルスカウントの増分のたびに、所定の値、この場合は25に達するまで、プログラミング期間の持続時間は増加され、25に達した時点で誤りが検出される。読取られたデータが正確であると検査されると、アドレスは増分され、その他のアドレスのそれぞれからデータを書込み且つ読取るため

にシーケンスが繰返される。最後のアドレスに達したときに、読取り動作に対して状態レジスタ及び指令レジスタをリセットするために、それらのレジスタに命令が書込まれる。第7図のアルゴリズムは、第6図の消去に先立つ事前条件づけのためにφφをロードする目的でも使用される。

第2図に示されるブロックを実施するために様々な従来の回路を実現することができ、第8図aから第8図eは、第2図の様々なブロックを提供するために好ましい実施例で使用されるような特定の回路を示す。第2図の様々なブロックを示す図中符号は第8図aから第8図eの図中符号に対応する。さらに、リセット回路50及びページレジスタ回路51が示されている。リセット回路50は、パワーアップ中や、VPP が5vであるときなどに指令レジスタ及び状態レジスタをリセットするためのものである。ページレジスタ回路51はメモリのページモードアドレスリングを制御するためのものである。さらに、制御論理回路31は、高本格的にはナプラインケーブル信号と書

込マイネーブル信号とをAND するものであるもので、特定して示されていない。得られた信号はCWE で示される。

好ましい実施例は、アドレスクロック発生器32からアドレスラッチに対してストローブを発生する際の遅延を提供するために一連のインバータを利用する。好ましい実施例の特定の回路で利用されているように、指令レジスタ37は4つの別個のレジスタR3、R5、R6及びR7から構成される。レジスタR5、R6及びR7はモード選択のために利用され、レジスタR3は無効の入力を復号し且つラッチするために使用される。状態レジスタ35は2個のレジスタがある。レジスタR2は、消去を動作させるために帰還制御と共に使用され、プログラム状態レジスタR1はデータラッチ又は、指令レジスタへのデータ入力流れを制御するため使用される。指令クロック発生器34a及びデータクロック発生器34bは、レジスタ及びデータラッチにより必要とされる互いに重なり合わないクロック位相を発生する機能を有する。これらのク

ロックは、プログラムデータラッチ、指令レジスタ及び状態レジスタに対する書き込みサイクルの間に入力データのラッチ動作を制御する。

アドレスクロック発生器は、アドレスラッチに向かうアドレス情報の流れを制御する役割を有する。状態レジスタ35及び指令レジスタ37は指令ポートアーキテクチャの心臓部を成し、データ入力バッファからの入力を受け取り、チップに関する動作モードを復号するためにデータを記憶する。指令命令はレジスタ5、6及び7に対する3つのデータビットにより決定され、それらのビットから動作モードを決定するための真値表は第8図に示されている。指令レジスタはその出力端子からの帰還がなく、単一書き込みモードでラッチし、多重書き込みモードへの導入を選択する。状態レジスタはその出力端子から入力端子への帰還経路を有し、多重書き込みモードの様々な段階を通過するときにチップの順次動作をトラッキングする。

EPROM デバイス10を既存のEPROM デバイスと互換性を有する場合に、書き込みマイネーブル信

号を最上位アドレスビットA14とマルチプレクサする。VPP が5ボルトであるとき、A14/ $\overline{WE}$ ピンは最上位アドレスビット(A14)を脱取るが、このビットは場合によってはページモードを選択するために使用される。しかしながら、VPP がプログラミング電圧(この実施例では12ボルト)になると、A14/ $\overline{WE}$ ピンの信号は書き込みマイネーブル信号として脱取られる。従つて、最上位アドレスビットを書き込みマイネーブル信号とマルチプレクサすることにより、マルチプレキシング方式は本発明のEPROM デバイス10を既存のEPROM デバイスとピンの互換性を有たすことができる。

以上、フラッシュ EPROM/EEPROM のプログラミング及び消去を実行する指令ポートアーキテクチャを説明した。

#### 4. 図面の簡単な説明

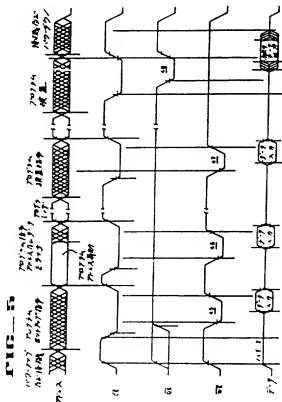
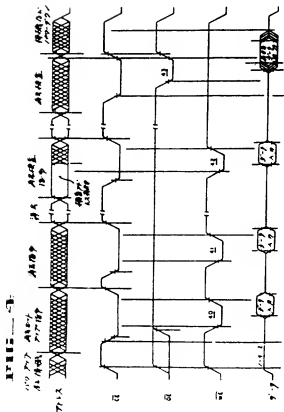
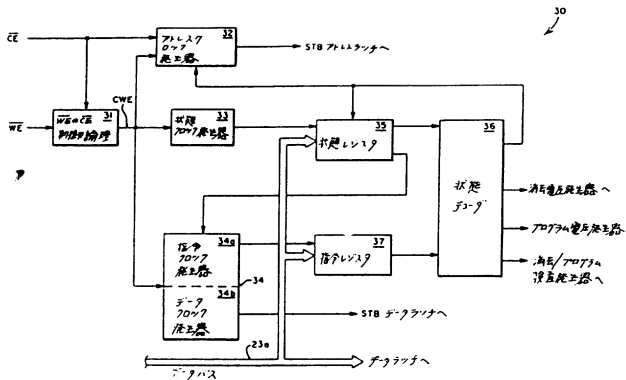
第1図は、本発明のフラッシュメモリデバイスの概略ブロック図、第2図は、本発明の指令ポートコントローラの概略ブロック図、第3図は、本発明の脱取りサイクルに関するタイミング図、

第4図は、本発明の消去サイクルに関するタイミング図、第5図は、本発明のプログラミングサイクルに関するタイミング図、第6図は、本発明の消去サイクルのフローチャート図、第7図は、本発明のプログラミングアルゴリズムに関するフローチャート図、第8A図、第8B図、第8C図、第8D図及び第8E図は、第2図に示される指令ポートコントローラの概略図である。

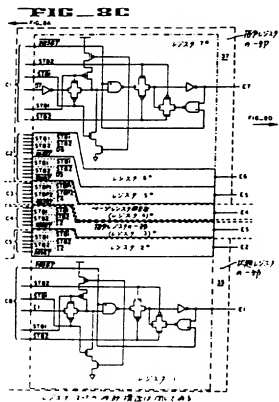
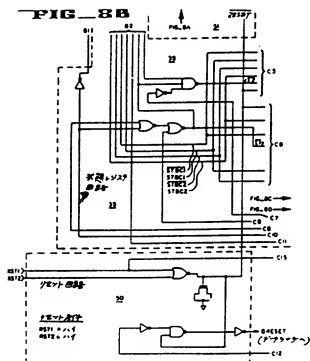
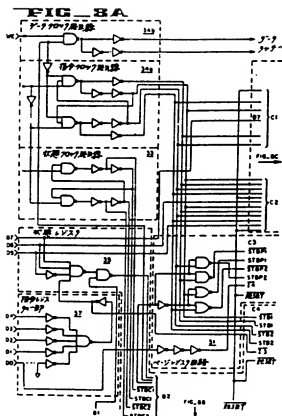
10・・・フラッシュ EPROM 半導体デバイス、11・・・メモリアレイ、12・・・アドレスバス、13・・・アドレスラッチ、14・・・Xデコード、15・・・Yデコード、20・・・双方向データバス、21・・・入出力バッファ、22・・・データラッチ、24・・・消去電圧発生器、25・・・プログラム電圧発生器、26・・・消去/プログラム検出発生器、27・・・チップ/出力マイネーブル制御回路、30・・・指令ポートコントローラ、31・・・制御論理、32・・・アドレスクロック発生器、33・・・状態クロック発生器、



**FIG\_2**











第1頁の続き

- ④発 明 者 ジョージ・ヘクストラ アメリア合衆国 95051 カリフォルニア州・サンタ ク  
 ララ・グラナダ ナンバー 362・3500
- ④発 明 者 ヴァーゼル・ナイル アメリカ合衆国 95630 カリフォルニア州・エル ドラ  
 ス・キネフト ド ヒルズ・リッジビュー ドライブ・3553
- ④発 明 者 スティーヴン・ウエル アメリカ合衆国 95662 カリフォルニア州・オレンジベ  
 ズ ルー・グリーンバック レーン・ナンバー 157・9175
- ④発 明 者 マーク・ウインストン アメリカ合衆国 95630 カリフォルニア州・エル ドラ  
 ド ヒルズ・フィリップ コート・874

手 続 補 正 書(方式)

特許庁長官殿

平成 1 年 5 月 30 日

1. 事件の表示

平成 1 年 特 許 願 第 36394 号

2. 発明の名称 メモリの書き換え、メモリのアロケラシク化  
 およびメモリの書き換え・アロケラシク化

3. 補正をする者

事件との関係 特 許 出 願 人

名称(氏名) インタル・コーポレーション

4. 代理人 平100 事務所

東京都千代田区本町2丁目4番2号  
 特 許 出 願 人 山 川 政 政 務 所  
 山 川 政 政 務 所 内  
 電 話 (581) 0 8 4 1 (代)  
 F A X (581) 5 7 5 4  
 氏 名 (6462) 特 許 士 山 川 政 政 務 所

5. 補正をする日付 平成 1 年 5 月 30 日

補正にしよう増加する発明の数

6. 補正の対象

明 願 書

7. 補正の内容

明願書の内容(内容に変更なし)

